



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05198802 A**

(43) Date of publication of application: 06 . 08 . 93

(51) Int. Cl.

H01L 29/784(21) Application number: **04032749**(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 22 . 01 . 92

(72) Inventor: **KOSHIHISA KAZUTOSHI**

(54) SEMICONDUCTOR DEVICE

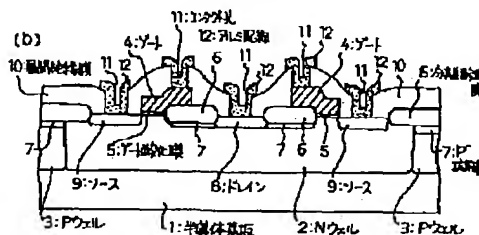
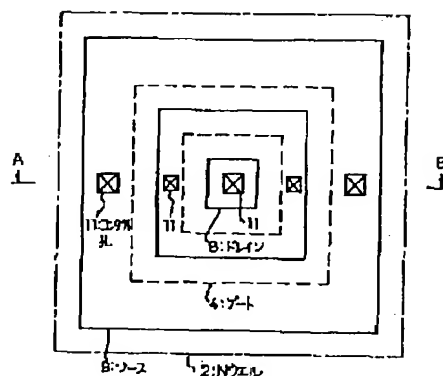
(57) Abstract:

PURPOSE: To manufacture a MOS type transistor and a resistor having high breakdown strength without widening the pattern space on a semiconductor substrate.

CONSTITUTION: A diffused layer 7 in the same conductivity type as that of a drain 8 as well as in lower impurity concentration than that of the drain 8 is formed beneath a separated insulating film 6 formed around the drain 8, furthermore, a gate 4 and a source 9 are arranged taking a ring or a comblike shape or in parallel with each other.

COPYRIGHT: (C)1993,JPO&Japio

(a)



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-198802

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

H01L 29/784

識別記号

7377-4M

F I

H01L 29/78

301

S

審査請求 未請求 請求項の数3 (全5頁)

(21)出願番号

特願平4-32749

(22)出願日

平成4年(1992)1月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 越久 和俊

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(74)代理人 弁理士 村上 博 (外1名)

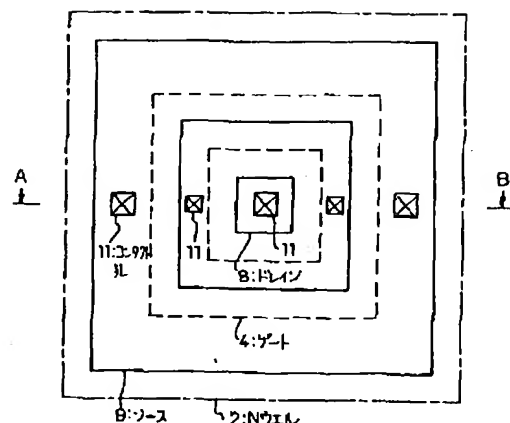
(54)【発明の名称】 半導体装置

(57)【要約】

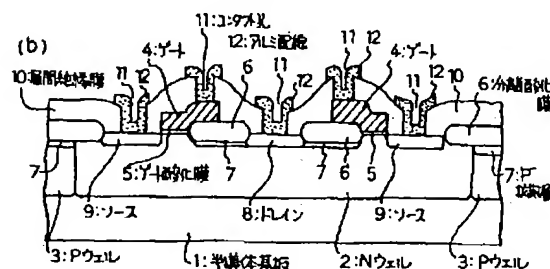
【目的】 半導体基板上的のパターン面積を大きくすることなく、高耐圧のMOS型トランジスタ及び抵抗を得ることを目的とする。

【構成】 ドレイン8の周囲に形成された分離絶縁膜6の下に、前記ドレイン8と同じ導電型であって前記ドレイン8より不純物濃度の低い拡散層7を形成し、更にその周囲にゲート4及びソース9をリング状、櫛状、または並列状に配置した。

(a)



(b)



【特許請求の範囲】

【請求項1】 ドレインと、このドレインの周囲に形成された分離絶縁膜と、この分離絶縁膜下に前記ドレインと同じ導電型であって前記ドレインより不純物濃度の低い拡散層を備え、前記ドレインを中心部分に配置して、その周囲にゲート及びソースを配置したことを特徴とする半導体装置。

【請求項2】 ドレインと、このドレインの周囲に形成された分離絶縁膜と、この分離絶縁膜下に前記ドレインと同じ導電型であって前記ドレインより不純物濃度の低い拡散層を備え、前記ドレインを中心部分に配置して、その周囲にゲート及びソースをリング状、櫛状、または並列状に配置したことを特徴とする半導体装置。

【請求項3】 第1の拡散層と、第1の拡散層の周囲に同じ導電型の前記拡散層より不純物濃度の低い第2の拡散層をリング状に配置し、更にその外側に同じ導電型の第3の拡散層を形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置、特に高耐圧MOS型トランジスタの構造及び抵抗の構造に関するものである。

【0002】

【従来の技術】図8a, bは従来のPチャネル高耐圧MOS型トランジスタを示す平面図及びそのE-F線断面図である。図において、1は例えば高抵抗のシリコン基板からなる半導体基板、2は半導体基板1に形成された

Nウェル、3は同じくPウェル、4はゲート、5はゲート酸化膜、6は分離酸化膜、7はNチャネルトランジスタ分離用のP⁺拡散層、8はPチャネル高耐圧MOS型トランジスタのドレイン、9は同じくソース、10は層間絶縁酸化膜、11はコンタクト孔、12はアルミ配線である。

【0003】上記のような従来の高耐圧MOS型トランジスタでは、ドレイン8に-40V以上の高電圧が印加されるため、その電界緩和のためドレイン8の周囲にNチャネルトランジスタ分離用のP⁺拡散層7を形成する。また、空乏層が広がるため、図8aの平面図に示すようにP⁺拡散層7とPウェル3との間に、距離Xを確保しなければならない。

【0004】

【発明が解決しようとする課題】従来のPチャネル高耐圧トランジスタでは、上記のように、ドレイン8の周囲のNチャネルトランジスタ分離用のP⁺拡散層7とPウェル3との間に、距離Xを確保することが必要となる。また、Pチャネル高耐圧トランジスタ構造では、下記に示すMOSトランジスタのV-I特性式(1)におけるβ(式(2)参照)が小さくなるので、図8aのチャネル幅Wを大きくとる必要がある。従って、全体として半導体基板上のパターン面積が大きくなってしまいう問題があった。

【0005】

【数1】

$$I_{DS} = \frac{\mu \epsilon_{ox} \epsilon_0 W}{t_{ox} L} \frac{(V_g - V_T)^2}{2} \quad (1)$$

(飽和領域)

μ：電子の移動度

ε：誘電率

V_T：しきい値電圧

$$\beta = \frac{\mu \epsilon_{ox} \epsilon_0 W}{t_{ox} L} \quad (2)$$

【0006】この発明は、上記のような問題点を解消するためになされたもので、半導体基板上的パターン面積を大きくすることなく高耐圧トランジスタを得ることを目的とする。

【0007】

【課題を解決するための手段】この出願に係る高耐圧トランジスタの発明は、ドレインの周囲に形成された分離絶縁膜下に、前記ドレインと同じ導電型であって前記ド

レインより不純物濃度の低い拡散層を備え、前記ドレインを中心部分に配置して、その周囲にゲート及びソースをリング状、櫛状、または並列状に配置したものである。

【0008】また、この出願に係る抵抗の発明は、第1の拡散層の周囲に、同じ導電型の前記拡散層より不純物濃度の低い第2の拡散層(抵抗)をリング状に配置し、更にその外側に同じ導電型の第3の拡散層を形成したもの

である。

【 0 0 0 9 】

【作用】この発明における高耐圧トランジスタは、ドレインのP⁺拡散層とPウェルの距離が必然的に大きくなるためパターン面積を小さくできる。

【 0 0 1 0 】この発明に係る抵抗は、高電圧の印加される拡散層を内側に配置し、他方の拡散層を外側にリング状に配置することにより、パターンの小さい高耐圧型の抵抗を得ることができる。

【 0 0 1 1 】

【実施例】実施例 1. 図 1 a, b はこの発明の一実施例に係る高耐圧 MOS 型トランジスタを示す平面図及び A - B 線断面図である。図において、1 は高抵抗のシリコン基板からなる半導体基板、2 は半導体基板 1 に形成された N ウェル、3 は同じく P ウェル、4 はゲート、5 はゲート酸化膜、6 は分離酸化膜、7 は N チャネルトランジスタ分離用の P⁺ 拡散層、8 は P チャネル高耐圧 MOS 型トランジスタのドレイン、9 は同じくソース、10 は層間絶縁酸化膜、11 はコンタクト孔、12 はアルミ配線である。本実施例においては、ドレイン 8 を中心として、その周囲の分離酸化膜 6 の下にドレインと同じ導電型であって当該ドレインより不純物濃度の低い拡散層 (P⁺ 拡散層 7) を配置して、更にその周囲にゲート 4 及びソース 9 をリング状に配置している。

【 0 0 1 2 】上記実施例 1 のトランジスタにおいては、従来の高耐圧トランジスタと同様にドレイン 8 の周囲に N チャネルトランジスタ分離用の P⁺ 拡散層 7 を形成しているため、ドレイン 8 に高電圧が印加されても高耐圧が保持できる。更に、この実施例では、ドレイン 8 を中央部に配してその周囲にゲート 4 及びソース 9 をリング状に配置しているため、N チャネルトランジスタ分離用の P⁺ 拡散層 7 と P ウェル 3 の距離が必然的に耐圧に悪影響を与えない程度になり、図 4 a のチャネル幅 W も大きく取る必要がなくなるので、結果としてパターン面積を小さくすることができる。

【 0 0 1 3 】実施例 2. 図 2 に示す実施例 2 においては、ゲート 4 を楕円状に設置したトランジスタを示す。即ち、高電圧の印加されるドレイン 8 を中央部に配し、その周囲に N チャネルトランジスタ分離用の P⁺ 拡散層 7 を形成し、その外周にゲート 4 を楕円状に配置している。

【 0 0 1 4 】実施例 3, 4. 更に、図 3 に示すように、N チャネルトランジスタ分離用の P⁺ 拡散層 7 の外周にゲート 4 及びソース 9 を楕円状に配置してもよく (実施例 3)、また図 4 に示すように、N チャネルトランジスタ分離用の P⁺ 拡散層 7 の外側を挟むようにゲート 4 及びソース 9 を配置してもよい (実施例 4)。

【 0 0 1 5 】なお、上記実施例では P チャネル高耐圧 MOS 型トランジスタを例にとって説明したが、N チャネル高耐圧 MOS 型トランジスタにおいても、ドレイン周囲の P⁺ 拡散層の代りに N⁺ 拡散層を形成することにより

同等の効果を得ることができる。

【 0 0 1 6 】実施例 5. 図 5 に示す実施例 5 では、N チャネルトランジスタ分離用の P⁺ 拡散層 7 を抵抗として用いた場合を示しており、P⁺ 拡散層 20 (第 1 の拡散層) を中心としてその周囲に抵抗となる P⁺ 拡散層 7 を形成し、更にその周囲に P⁺ 拡散層 30 (第 2 の拡散層) をリング状に配置している。当該実施例においては、上記実施例と同様に、P⁺ 拡散層 20 に高電圧が印加される際、P⁺ 拡散層 7 がリング状に配置されているため、抵抗となる P⁺ 拡散層 7 と P ウェル 3 上の P⁺ 拡散層 7 の距離が必然的に大きくなり、パターン面積を小さくする効果が得られる。

【 0 0 1 7 】実施例 6, 7. 実施例 5 では、P⁺ 拡散層 20 及び P⁺ 拡散層 7 の回りに P⁺ 拡散層 30 をリング状に配置した例を示したが、図 6 に示すように P⁺ 拡散層 30 を P⁺ 拡散層 7 の回りを囲むよう楕円状に配置したり、また、図 7 に示すように P⁺ 拡散層 30 を P⁺ 拡散層 7 を挟むよう並列的に配置しても同様の効果が得られる。

【 0 0 1 8 】

【発明の効果】以上のように、この発明によれば高耐圧トランジスタにおいて高電圧の印加されるドレインを内側に配置し、ゲート及びソースをドレインの周りにリング状、楕円状、または並列状に配置することにより、パターンの小さいものが得られる効果がある。また、抵抗においても、高電圧の印加される拡散層を内側に配置し、他方の拡散層を外側にリング状に配置することにより、パターンの小さい高耐圧型の抵抗を得ることができる。

【図面の簡単な説明】

【図 1】この発明の実施例 1 に係る半導体装置を示す平面図及び断面図である。

【図 2】この発明の実施例 2 に係る半導体装置を示す平面図及び断面図である。

【図 3】この発明の実施例 3 に係る半導体装置を示す平面図である。

【図 4】この発明の実施例 4 に係る半導体装置を示す平面図である。

【図 5】この発明の実施例 5 に係る半導体装置を示す平面図及び断面図である。

【図 6】この発明の実施例 6 に係る半導体装置を示す平面図である。

【図 7】この発明の実施例 7 に係る半導体装置を示す平面図である。

【図 8】従来の半導体装置を示す平面図及び断面図である。

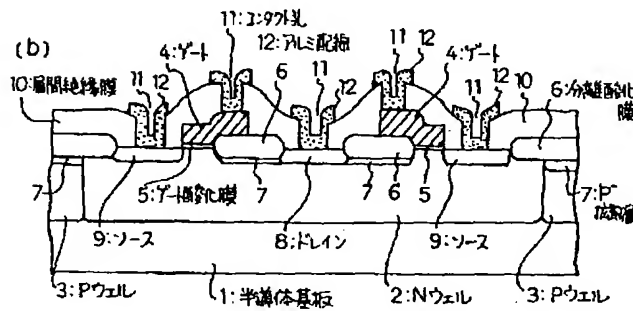
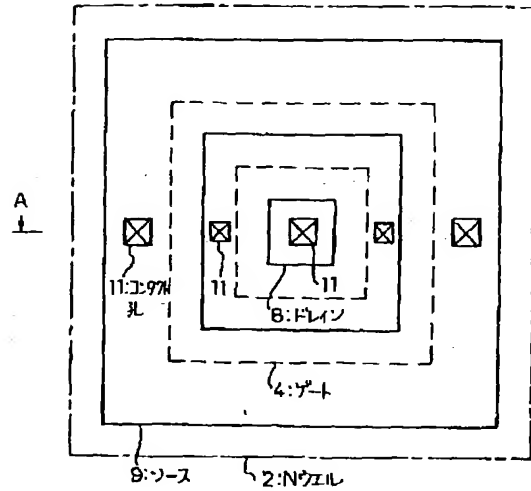
【符号の説明】

- | | |
|---|-------|
| 1 | 半導体基板 |
| 2 | N ウェル |
| 3 | P ウェル |
| 4 | ゲート |

- | | | | |
|---|--------|----|--------|
| 5 | ゲート酸化膜 | 9 | ソース |
| 6 | 分離酸化膜 | 20 | P' 拡散層 |
| 7 | P' 拡散層 | 30 | P' 拡散層 |
| 8 | ドレイン | | |

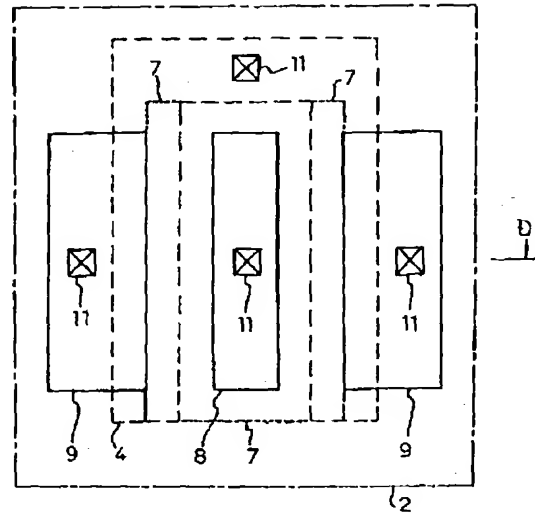
【図1】

(a)

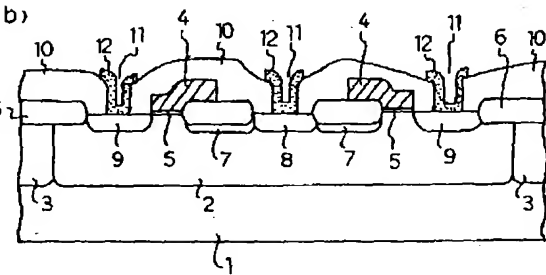


【図2】

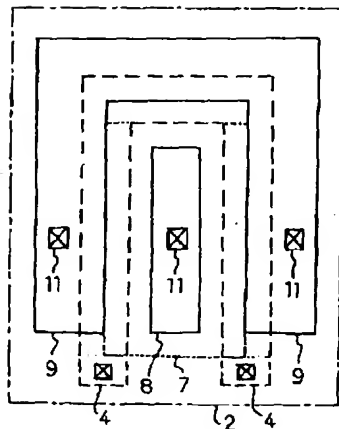
(a)



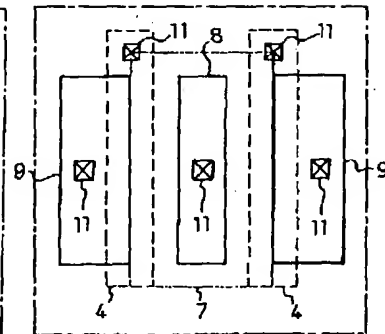
(b)



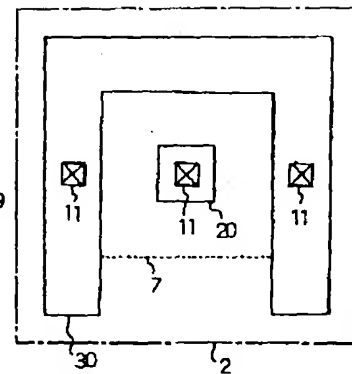
【図3】



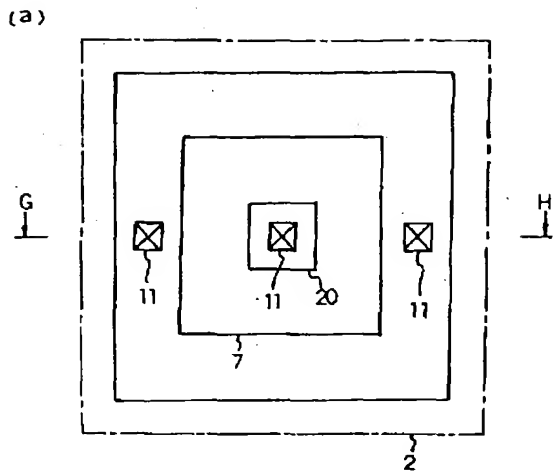
【図4】



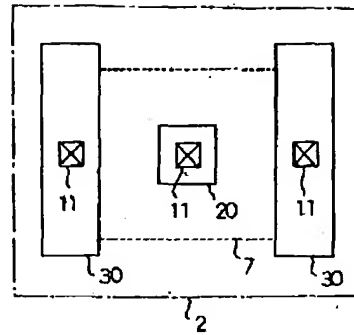
【図6】



【図5】



【図7】



【図8】

